



RENCANA PEMBELAJARAN SEMESTER (RPS)
PROGRAM STUDI MANAJEMEN INFORMATIKA – STMIK JAKARTA STI&K

Tanggal Penyusunan	03/01/2018		Tanggal Revisi	-	
Kode Prodi	56201				
Program Studi	Sistem Komputer (SK)				
Jenjang	Strata Satu (S1)				
Kode dan Nama MK	TK-35302		Perangkat Logika Terprogram		
SKS dan Semester	SKS	3	Semester	6	
Prasyarat	Matematika, Elektronika Dasar, Teknik Digital				
Status Mata Kuliah	<input checked="" type="checkbox"/> Wajib <input type="checkbox"/> Pilihan				
Dosen Pengampu	L. M. Rasdi Rere				
Capaian Pembelajaran Mata Kuliah	Sikap	<ol style="list-style-type: none"> Mahasiswa memahami pentingnya hadir dalam setiap perkuliahan tatap muka, serta aktif dan berpartisipasi dalam perkuliahan untuk dapat memahami materi perkuliahan yang diberikan dosen. Mahasiswa memahami pentingnya datang tepat waktu, serta tidak membuat keributan dan kegaduhan di kelas, sehingga tidak mengganggu jalannya perkuliahan. Mahasiswa memahami pentingnya mengerjakan latihan dan tugas-tugas yang diberikan, untuk dapat lebih memahami materi perkuliahan yang diberikan. 			
	Ketrampilan Umum	<ol style="list-style-type: none"> Mahasiswa memahami pengertian dan konsep dasar dari desain sistem digital. Mahasiswa memahami desain perangkat logika terprogram SPLD (<i>simple programmable logic array</i>), CPLD (<i>complex programmable logic array</i>) dan FPGA (<i>field programmable gate array</i>) Mahasiswa memahami pemrograman sederhana FPGA menggunakan VHDL. 			
	Pengetahuan	<p>Sistem bilangan, aritmatika digital, aljabar Boolean, karnaugh maps, desain logika kombinasional, desain logika sekuensial, SPLD, CPLD, FPGA, bahasa pemrograman VHDL.</p>			
	Ketrampilan Khusus	<ol style="list-style-type: none"> Mahasiswa mengetahui dan memahami sistem bilangan biner, oktal, heksadesimal serta konversinya. Mahasiswa memahami operasi rangkaian logika dasar AND, OR, NOT. Mahasiswa memahami desain logika kombinasi dengan perhitungan logika dasar menggunakan aljabar Boolean dan Karnaugh Maps Mahasiswa mampu memahami desain logika sekuensial seperti flip-flop, counter dan register. Mahasiswa mengetahui desain SPLD, CPLD dan FPGA. Mahasiswa mengetahui perhitungan desain rangkaian PLA dan PAL. Mahasiswa memahami desain CPLD. Mahasiswa memahami desain FPGA. Mahasiswa memahami <i>testing</i> pada rangkaian logika. Mahasiswa memahami dasar-dasar pemrograman VHDL. Mahasiswa memahami implementasi FPGA menggunakan pemrograman VHDL. Mahasiswa mampu mengimplementasikan pemrograman VHDL untuk rangkaian logika kombinasional. Mahasiswa mampu mengimplementasikan pemrograman VHDL untuk rangkaian sekuensial. Mahasiswa mampu mengimplementasikan pemrograman VHDL untuk rangkaian aplikasi. 			
Deskripsi Umum (Silabus)	Mata kuliah ini membahas desain sistem digital, perangkat logika terprogram SPLD, CPLD dan FPGA, serta bahasa pemrograman VHDL yang dipergunakan dalam dalam sistem FPGA.				
Metode Pembelajaran	1. Ceramah/Kuliah Pakar	√	4. Praktik Laboratorium	X	
	2. Problem Based Learning/FGD	X	5. Self-Learning (V-Class)	X	
	3. Project Based Learning	X	6. Lainnya:	X	

Pengalaman Belajar/Tugas	a. Tayangan Presentasi	√	c. Online exercise/kuiz (V-class)	X
	b. Review textbook/Jurnal	√	d. Laporan	X
	e. Lainnya:	X		
Referensi / Sumber Belajar	<ol style="list-style-type: none"> 1. Stephen Brown dan Zvonko Vranesic, Fundamentals of Digital Logic with VHDL Design, Third Edition, McGraw-Hill, 2009 2. Ion Grout, Digital Systems Design with FPGAs and CPLDs, Newness – Elsevier, 2008 3. Steven T. Karris, Digital Circuit Analysis and Design with Simulink® Modeling and Introduction to CPLDs and FPGAs, Second Edition, Orchard Publication, 2007. 4. Clive "Max " Maxfield, The Design Warrior's Guide to FPGAs (Devices, Tools and Flows), Newnes – Elsevier, 2004. 5. Andrew Moore, FPGAs for Dummies®, 2nd Intel® Special Edition, John Wiley & Sons, 2017. 6. Karen Parnell dan Nick Mehta, Programmable Logic Design Quick Start Hand Book, Fourt Edition ISE 5.1i, XILINK, 2003. 7. Synario® Design Automation, VHDL Reference Manual, 1997. 8. Richart E. Haskell dan Darrin M. Hanna, Introduction to Digital Design Using Digilent FPGA Boards – Block Diagram / VHDL Examples, LBE Books, LLC, 2009. 			

Minggu	Kemampuan Akhir yang Diharapkan	Bahan Kajian (Materi Pelajaran)	Metode/Bentuk Pembelajaran	Waktu Belajar (Menit)	Kriteria Penilaian (Indikator)	Bobot Nilai (%)	Sumber belajar
1.	<ol style="list-style-type: none"> Mahasiswa mampu memahami sistem bilangan desimal, biner, oktal dan heksadesimal. Mahasiswa mampu melakukan konversi antara sistem bilangan. Mahasiswa mengetahui representasi bilangan bertanda dan tidak bertanda pada bilangan biner. Mahasiswa mampu melakukan operasi logika penambahan, pengurangan dan perkalian pada bilangan biner. Mahasiswa memahami representasi bilangan fixed-point dan floating-point. Mahasiswa memahami representasi BCD. 	<u>Sistem bilangan:</u> <ol style="list-style-type: none"> Sistem bilangan Desimal, Biner, Oktal dan Heksadesimal Konversi antara sistem bilangan. Representasi bilangan bertanda & tidak bertanda. Operasi logika dasar: tambah, kurang, kali. Representasi bilangan Fixed-point dan bilangan Floating-point. 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi 	5%	Ref. 1, 2, 3
2.	<ol style="list-style-type: none"> Mahasiswa mampu memahami rangkaian logika dasar AND, OR dan NOR. Mahasiswa mampu memahami postulat dan teorema yang ada dalam aljabar Boolean. Mahasiswa mampu memahami tabel kebenaran pada rangkaian logika. Mahasiswa mampu memahami kombinasi rangkaian logika dasar NAND, NOR, EXOR dan EXNOR. Mahasiswa mampu memahami Karnaugh Maps. Mahasiswa mampu mengimplementasikan aljabar Boolean pada rangkaian logika. Mahasiswa mampu mengimplementasikan Karnaugh maps pada rangkaian logika 	<u>Rangkaian logika:</u> <ol style="list-style-type: none"> Rangkaian logika dasar AND, OR, dan NOT. Aljabar Boolean Tabel kebenaran Kombinasi rangkaian logika dasar NAND, NOR, EXOR, EXNOR. Karnaugh Maps. Implementasi aljabar Boolean pada rangkaian logika. Implementasi Karnaugh Maps pada rangkaian logika 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi 	5%	Ref. 1, 2, 3
3.	<ol style="list-style-type: none"> Mahasiswa mampu memahami desain rangkaian <i>Parity Generators</i> Mahasiswa mampu memahami desain rangkaian Digital Encoder dan Digital Decoders Mahasiswa mampu memahami desain rangkaian Multiplexers dan Demultiplexers. Mahasiswa mampu memahami desain rangkaian Adder dan Subtractors. 	<u>Desain logika kombinasional:</u> <ol style="list-style-type: none"> Parity Generators Digital Encoder dan Decoders Comparator Multiplexers dan Demultiplexers Adder dan Subtractor. 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi kebenaran hitungan. 	10%	Ref. 1, 2, 3
4.	<ol style="list-style-type: none"> Mahasiswa mampu memahami beragam desain rangkaian Flip-Flop Mahasiswa mampu memahami desain rangkaian Counter Mahasiswa mampu memahami desain rangkain Register. 	<u>Desain Logika Sekuensial</u> <ol style="list-style-type: none"> SR Flip-flop, JK Flip-flop, Toggle Flip-flop, D-latch, D-type Flip-Flop Counter Register 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi 	5%	Ref. 1, 2, 3

5.	<ol style="list-style-type: none"> Mahasiswa mampu memahami sejarah perkembangan perangkat logika terprogram. Mahasiswa mengetahui jenis perangkat logika terprogram Mahasiswa mampu memahami perbedaan perangkat logika terprogram dengan rangkaian logika diskrit. Mahasiswa mampu memahami perbedaan perangkat logika terprogram dengan rangkaian menggunakan prosesor. 	<u>Sejarah perkembangan PLD:</u> <ol style="list-style-type: none"> <i>Timelines</i> perangkat logika terprogram. Jenis perangkat logika terprogram: SPLDs, CPLDs, FPGAs Perbedaan perangkat logika terprogram dengan logika diskrit. Perbedaan perangkat logika terprogram dengan prosesor. 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi kebenaran hitungan 	10%	Ref. 1, 2, 4, 5, 6
6.	<ol style="list-style-type: none"> Mahasiswa mampu memahami teknologi yang dipergunakan dalam perangkat logika terprogram. Mahasiswa mampu mamahami teknologi <i>Fusible link</i> dan <i>Antifuse</i>. Mahasiswa mampu memahami teknologi berbasis EPROM, EEPROM dan FLASH. Mahasiswa mampu memahami teknologi berbasis SRAM. 	<u>Teknologi yang dipergunakan pada PLD</u> <ol style="list-style-type: none"> Teknologi <i>Fusible link</i> Teknologi <i>Antifuse</i> Teknologi berbasis EPROM. Teknologi berbasis EEPROM. Teknologi berbasis FLASH Teknologi berbasis SRAM. 	Ceramah, diskusi kelas, tugas kelompok, dan presentasi tugas.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi kebenaran hitungan 	10%	Ref. 1, 4
7.	<ol style="list-style-type: none"> Mahasiswa mampu memahami skematik diagram PROM, PLAs dan PALS. Mahasiswa mampu memahami implementasi PROMs, PLAs dan PALS untuk rangkaian logika. Mahasiswa mampu memahami karakteristik dan arsitektur CPLD. 	<u>Rangkaian SPLDs dan CPLDs</u> <ol style="list-style-type: none"> Arsitektur diagram PROMs, PLAs dan PALS. Implementasi PROMs, PLAs dan PALS pada rangkaian logika Karakteristik CPLD Arsitektur CPLD 	Ceramah, diskusi kelas, tugas kelompok, dan presentasi tugas.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi kebenaran hitungan 	10%	Ref. 1, 2, 3, 4
8.	UJIAN TENGAH SEMESTER						
9.	<ol style="list-style-type: none"> Mahasiswa mampu memahami struktur FPGA yang terdiri dari CLB (<i>configurable logic blocks</i>), IOB (<i>input/output blocks</i>) dan PSM (<i>programmable switch matrix</i>). Mahasiswa mampu memahami skema dan perhitungan CLB berbasis MUX. Mahasiswa mampu memahami skema dan perhitungan CLB berbasis LUT. 	<u>Rangkaian FPGA</u> <ol style="list-style-type: none"> Struktur FPGA: CLB, IOB dan PSM. Perhitungan CLB berbasis MUX (<i>multiplexer</i>) Perhitungan CLB berbasis LUT (<i>lookup table</i>). 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi 	5%	Ref. 1, 2, 4
10.	<ol style="list-style-type: none"> Mahasiswa mengetahui tahapan dalam proses pemrograman pada FPGA. Mahasiswa mampu memahami setiap tahapan proses pemrograman FPGA 	<u>Proses pemrograman FPGA</u> <ol style="list-style-type: none"> Design Entry Functional simulation Synthesis Implementation Timing Simulation Device Programming. 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi 	5%	Ref. 1, 2, 4

11.	<ol style="list-style-type: none"> Mahasiswa mengetahui variasi teknik untuk pengujian (<i>testing</i>) rangkaian digital. Mahasiswa mampu memahami representasi <i>typical fault</i> pada sebuah rangkaian. Mahasiswa mampu memahami sifat-sifat dari rangkaian yang akan diuji. Mahasiswa mampu memahami desain sebuah rangkaian yang mudah untuk dilakukan pengujian. 	<u>Testing pada rangkaian logika</u> <ol style="list-style-type: none"> Model Fault Kompleksitas pada sekumpulan test. Path Sensitizing Rangkaian dengan struktur Tree. Testing pada rangkaian sekuensial Built-in Self-Test 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi kebenaran hitungan 	10%	Ref. 1
12.	<ol style="list-style-type: none"> Mahasiswa mampu memahami struktur penulisan bahasa pemrograman VHDL. Mahasiswa mampu memahami perintah yang ada dalam VHDL Mahasiswa mampu memahami tahapan membuat program dengan VHDL. 	<u>Pemrograman VHDL</u> <ol style="list-style-type: none"> Library Statements Objek dan tipe Data Operator Attributes. Sintesis VHDL Hirarki desain VHDL 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi kebenaran hitungan 	10%	Ref. 1, 2, 7
13.	<ol style="list-style-type: none"> Mahasiswa mampu membuat program logika dasar AND, OR dan NOT dengan VHDL. Mahasiswa mampu membuat program logika kombinasi seperti NOR, NAND, EXOR dan lainnya dengan VHDL. Mahasiswa mampu membuat program Half Adder, Half Subtractor, Full Adder dan Full Subtractor dengan VHDL. 	<u>VHDL untuk desain logika kombinasional</u> <ol style="list-style-type: none"> Program VHDL: Logika AND, OR, dan NOT Program VHDL: Logika NOR, NAND, EXOR dan lainnya Program VHDL: Adder dan Subtractor 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi kebenaran hitungan 	10%	Ref. 1, 2, 8
14.	<ol style="list-style-type: none"> Mahasiswa mampu memahami dan membuat beragam tipe program Flip-Flop dengan VHDL. Mahasiswa mampu memahami dan membuat beragam tipe program Register dengan VHDL. Mahasiswa mampu memahami dan membuat program Counter dengan VHDL 	<u>VHDL untuk desain logika sekuensial</u> <ol style="list-style-type: none"> Program VHDL: Flip-Flop. Program VHDL: Register. Program VHDL: Counter. 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi kebenaran hitungan 	10%	Ref. 1, 2, 8
15.	<ol style="list-style-type: none"> Mahasiswa mampu memahami dan membuat program Multiplexer dengan VHDL. Mahasiswa mampu memahami dan membuat program Multiple-Input Gates dengan VHDL. Mahasiswa mampu memahami dan membuat program Thermometer-to-Binary Encoder dengan VHDL. 	<ol style="list-style-type: none"> Program VHDL: Multiple-Input Gates Program VHDL: Thermometer-to-Binary Encoder. Program VHDL: Seven-Segment Display Driver. 	Ceramah, diskusi kelas, dan tugas mandiri.	50 x 3	<ol style="list-style-type: none"> Kreatifitas ide kerapian sajian kemampuan komunikasi 	5%	Ref. 1, 2, 8
16.	UJIAN AKHIR SEMESTER						

RANCANGAN TUGAS BAGIAN 1

Nama Mata Kuliah : Perangkat Logika Terprogram

SKS : 3

Program Studi : Sistem Komputer

Pertemuan ke : 1 - 7

A. TUJUAN TUGAS :

Mahasiswa diharapkan mampu melakukan perhitungan, membuat skema rangkaian dan mendesain sistem logika yang berhubungan dengan sistem bilangan, rangkaian logika, desain logika kombinasional dan sekuensial, serta perangkat logika terprogram SPLDs dan CPLDs.

B. URAIAN TUGAS :

- Mahasiswa melakukan perhitungan untuk konversi bilangan decimal, biner, octal dan heksadesimal, serta konversi bilangan bertanda, fixed-point dan floating point.
- Mahasiswa melakukan perhitungan operasi dasar penambahan, pengurangan dan perkalian, khususnya untuk sistem bilangan biner
- Mahasiswa melakukan perhitungan yang berhubungan dengan rangkaian gerbang logika menggunakan aljabar Boolean dan Karnaugh maps.
- Mahasiswa mendesain rangkaian logika kombinasional maupun rangkaian logika sekuensial menggunakan gerbang logika, serta melakukan perhitungan dan sintesis dari rangkaian desain yang dibuatnya.
- Mahasiswa mengimplementasikan perangkat logika terprogram SPLDs dan CPLDs untuk rangkaian logika kombinasi.

C. KRITERIA PENILAIAN (10%)

- Kelengkapan isi jawaban.
- Kebenaran cara dan metode yang dipergunakan
- Kebenaran isi jawaban

GRADING SCHEME COMPETENCE

KRITERIA 1 : Kelengkapan isi jawab

DIMENSI	Sangat Memuaskan	Memuaskan	Batas	Kurang Memuaskan	Di bawah standard	SKOR
Kelengkapan jawaban yang diberikan.	Semua soal dijawab dengan rapih, jelas dan rinci.	Semua soal dijawab dengan rapih dan jelas.	Semua soal dijawab dengan singkat.	Beberapa soal tidak dijawab	Sebagian soal tidak dijawab	2

KRITERIA 2 : Kebenaran metode dan cara yang dipergunakan

DIMENSI	Sangat Memuaskan	Memuaskan	Batas	Kurang Memuaskan	Di bawah standard	SKOR
Kebenaran metode dan cara yang dipergunakan.	Jawaban soal dengan sangat jelas menggunakan metode yang telah ditentukan, serta cara yang telah diajarkan.	Jawaban soal menggunakan metode yang telah ditentukan, dengan cara yang telah diajarkan.	Jawaban soal menggunakan metode yang telah ditentukan, tetapi dengan cara berbeda yang telah diajarkan.	Beberapa jawaban soal tidak menggunakan metode yang ditentukan.	Jawaban soal tidak menggunakan metode yang telah ditentukan.	3

KRITERIA 3 : Kebenaran isi jawaban

DIMENSI	Sangat Memuaskan	Memuaskan	Batas	Kurang Memuaskan	Di bawah standard	SKOR
Kebenaran isi jawaban yang diberikan	Semua soal dijawab dengan benar, dengan tahapan dan keterangan tambahan yang meyakinkan.	Semua soal dijawab dengan benar.	Sebagian besar soal dijawab dengan benar.	Beberapa soal dijawab dengan benar	Tidak ada jawaban yang benar.	5

RANCANGAN TUGAS

Nama Mata Kuliah : Perangkat Logika Terprogram

SKS : 3

Program Studi : Sistem Komputer

Pertemuan ke : 9

A. TUJUAN TUGAS :

Mahasiswa diharapkan mampu membuat rancangan sistem digital dalam tulisan lengkap, mulai skematik rangkaian logika, tabel kebenaran, desain perangkat logika terprogram menggunakan SPLDs atau CPLDs, serta FPGA menggunakan bahasa pemrograman VHDL.

B. URAIAN TUGAS :

- Mahasiswa membuat skematik rangkaian logika dan tabel kebenaran sesuai dengan tugas yang diberikan
- Mahasiswa membuat desain
- menjelaskan prinsip dan aturan dalam kaedah penelitian dan penulisan ilmiah.
- menyebutkan dan menjelaskan contoh penelitian ilmiah yang terdapat diluar
- menyajikan hasil tugas tersebut di depan kelas dan mendiskusikannya
- Paper dibuat minimal 8 halaman dan maksimal 15 halaman dengan spasi 1.5, font Times new roman, ukuran 12

C. KRITERIA PENILAIAN (10%)

Kelengkapan isi jawaban

Kebenaran isi jawaban

Daya tarik komunikasi/presentasi

GRADING SCHEME COMPETENCE

KRITERIA 1 : Kelengkapan isi jawaban

DIMENSI	Sangat Memuaskan	Memuaskan	Batas	Kurang Memuaskan	Di bawah standard	SKOR
Kelengkapan konsep	Lengkap dan terpadu	Lengkap	Masih kurang beberapa aspek lagi	Hanya menunjukkan	Tidak ada konsep	2

KRITERIA 2 : Kebenaran isi jawaban

DIMENSI	Sangat Memuaskan	Memuaskan	Batas	Kurang Memuaskan	Di bawah standard	SKOR
Kebenaran konsep	Diungkapkan dengan tepat, terdapat aspek penting, analisis dan membantu memahami konsep	Diungkap dengan tepat tetapi deskriptif	Sebagian besar konsep sudah terungkap, namun masih ada yang terlewatkan	Kurang dapat mengungkapkan aspek penting, melebihi halaman, tidak ada proses merangkum hanya	Tidak ada konsep yang disajikan	2

KRITERIA 3 : Daya tarik komunikasi/presentasi

KRITERIA 3a : Komunikasi tertulis

DIMENSI	Sangat Memuaskan	Memuaskan	Batas	Kurang Memuaskan	Di bawah standard	SKOR
Bahasa Paper	Bahasa menggugah pembaca untuk mencari tahu konsep lebih dalam	Bahasa menambah informasi pembaca	Bahasa deskriptif, tidak terlalu menambah pengetahuan	Informasi dan data yang disampaikan tidak menarik dan membingungkan	Tidak ada hasil	1

Kerapian Paper	Paper dibuat dengan sangat menarik dan menggugah semangat	Paper cukup menarik, walau tidak terlalu mengundang	Dijilid biasa	Dijilid namun kurang rapi	Tidak ada hasil	1
-----------------------	---	---	---------------	---------------------------	-----------------	---

KRITERIA 3b : Komunikasi lisan

DIMENSI	Sangat Memuaskan	Memuaskan	Batas	Kurang Memuaskan	Di bawah standard	SKOR
Isi	Memberi inspirasi pendengar untuk mencari lebih dalam	Menambah wawasan	Pembaca masih harus menambah lagi informasi dari beberapa sumber	Informasi yang disampaikan tidak menambah wawasan bagi	Informasi yang disampaikan menyesatkan atau salah	2
Organisasi	Sangat runtut dan integratif sehingga pendengar dapat mengkompilasi isi dengan baik	Cukup runtut dan memberi data pendukung fakta yang disampaikan	Tidak didukung data, namun menyampaikan informasi yang benar	Informasi yang disampaikan tidak ada dasarnya	Tidak mau presentasi	1
Gaya Presentasi	Menggugah semangat	Membuat pendengar	Lebih banyak membaca	Selalu membaca catatan	Tidak berbunyi	1